

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-136232

(43)Date of publication of application : 19.07.1985

(51)Int.Cl.

H01L 21/60

H01L 23/02

H01L 23/12

(21)Application number : 58-243410

(71)Applicant : FUJITSU LTD

(22)Date of filing : 23.12.1983

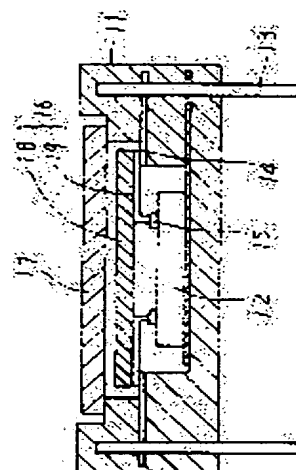
(72)Inventor : FUKUDA MASUMI
NARITA HISATOSHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To improve operation speed by providing the connection structure which can meet a transmission decline or radiation of signals caused by connection parts by design by connecting terminals of a package to terminals of a semiconductor chip with a distributing board.

CONSTITUTION: Plural terminals 14 led out inside a package 11 are connected to plural terminals 15 formed on the surface of a semiconductor chip 12 with a distributing board 16 and a lid 17 is put on. The distributing board 16 is composed of an insulating substrate 18 made of a transparent sapphire plate on a back surface of which a transmission path 19 connecting the terminals 14 and 15 is formed are the transmission path 19 is connected to the terminals 14 and 15 with solder. The transmission path can be regulated minutely its material, shape, size or disposition by design and if necessary, it can be formed into a planer guide or a strip line, or one that includes circuit elements. Then it can meet a transmission decline or radiation of signals caused by connection parts by design.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

THIS PAGE BLANK (USPTO)

⑫ 公開特許公報(A)

昭60-136232

⑮ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)7月19日

H 01 L 21/60
23/02
23/126732-5F
7738-5F
7357-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体集積回路装置

⑰ 特 願 昭58-243410

⑱ 出 願 昭58(1983)12月23日

⑲ 発 明 者 福 田 益 美 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 発 明 者 成 田 尚 敏 川崎市中原区上小田中1015番地 富士通株式会社内

⑳ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 松岡 宏四郎

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

半導体チップを搭載したパッケージの該半導体チップ周辺に設けられた端子と、該半導体チップの表面に設けられた端子とが、絶縁性基板の面上に伝送路を形成し該半導体チップの表面側に配設された配線板によって接続されていることを特徴とする半導体集積回路装置。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は、半導体集積回路装置に係り、特に、超高速半導体集積回路装置におけるパッケージの端子と半導体チップの端子との接続構造に関する。

(b) 技術の背景

半導体集積回路装置は、情報処理機器において主要構成要素として多用されているが、情報処理能力の向上が望まれている状況にある現在、高集積化と共に高速動作に対応出来るものの開発も進

められている。

キャリアの移動度や飽和ドリフト速度がSi半導体より大きいため高速動作に適したGaAs半導体を使用することにより、10 G bit/s 以上の速度で動作可能な超高速半導体集積回路装置が実用化されてきているが、100 G bit/s 程度の動作速度になると、半導体集積回路装置内の接続構造が特性に影響をおよぼすので、高速動作に対応出来る接続構造の開発が望まれている。

(c) 従来技術と問題点

第1図は従来の超高速半導体集積回路装置の実施例の構造を示す断面図で、1はパッケージ、2は半導体チップ、3はリード端子、4、5は端子、6はワイヤ、7は蓋をそれぞれ示す。

図示の超高速半導体集積回路装置は、本体が例えばセラミックでなるパッケージ1の内側に、例えばGaAs基板に超高速で動作可能な集積回路を形成した半導体チップ2が図示のように搭載され、パッケージ1から外部に導出される複数のリード端子3の個々にパッケージ1内で接続されて、半

導体チップ2と接続するためパッケージ1の内側に導出された複数の端子4と、前記集積回路を外部と接続するため半導体チップ2の表面上に形成された複数の端子5とが、例えば金線となるワイヤ6を用いてワイヤボンディングにより個別に接続され、蓋7が被せられてなっている。なお、半導体チップ2の裏面は、パッケージ1の半導体チップ2搭載面に設けられた導体を介してリード端子3の中の接地端子に接続されている。

この構成でなる超高速半導体集積回路装置においては、通常、半導体チップ2は一辺の長さが数mmの角形でワイヤ6の長さが1～3mm程度であるが、動作速度が100Gbit/s ($\lambda/4 = 0.75\text{mm}$)程度になると該集積回路装置内の線路長が1mm程度であっても信号の輻射や伝送減衰が問題になって来る。

この問題に対処するためには、設計において、全ての、導体、半導体、絶縁体の材料、形状、寸法、配置などを詳細に規定することが望ましいが、ワイヤ6に関しては、接続の空間配置を規定する

ことが製造のプロセスからして極めて困難である。

従って、端子4と5とを接続するワイヤ6に起因する信号の輻射や伝送減衰は、設計での対処が困難であって、動作速度の向上を阻害する欠点を有する。

(d) 発明の目的

本発明の目的は上記従来の欠点を鑑み、パッケージの端子と半導体チップの端子との接続において、該接続部に起因する信号の輻射や伝送減衰について設計で対処可能な接続構造を備えた超高速半導体集積回路装置を提供するにある。

(e) 発明の構成

上記目的は、半導体チップを搭載したパッケージの該半導体チップ周辺に設けられた端子と、該半導体チップの表面に設けられた端子とが、絶縁性基板の面上に伝送路を形成し該半導体チップの表面側に配設された配線板によって接続されていることを特徴とする半導体集積回路装置によって達成される。

前記配線板を使用することにより、前記パッ

ケージの端子と前記半導体チップの端子とを接続する前記伝送路は、材料、形状、寸法、配置などを設計で詳細に規定することが可能になり、必要ならば該伝送路をコプレーナガイドないしストリップラインにしたり、また、回路素子を含むものにすることも可能で、該接続部に起因する信号の輻射や伝送減衰について設計で対処可能になる。

(f) 発明の実施例

以下本発明の実施例を図により説明する。

第2図は本発明の構成による超高速半導体集積回路装置の一実施例の構造を示す断面図、第3図～第7図はその配線板におけるそれぞれ異なる実施例の断面図(a)と裏面視平面図(b)で、11はパッケージ、12は半導体チップ、13はリード端子、14、15は端子、16は配線板、17は蓋、18は絶縁基板、18aは合わせマーク、19は伝送路、19aは接続線、19b、19cは接地導体、19dは抵抗素子、19eは回路素子、19aa、19ab、19bb、19cbは接続部をそれぞれ示す。

第2図図示の超高速半導体集積回路装置は、基

本的には第1図図示のパッケージ1と同じで細部寸法が本集積回路装置の組立に合わせてあるパッケージ11の内側に、第1図図示の半導体チップ2に後述する合わせマークを付した半導体チップ12が図示のように搭載され、第1図図示と同様にパッケージ11の内側に導出された複数の端子14と、半導体チップ12の集積回路を外部と接続するため半導体チップ12の表面上に形成された複数の端子15とが、半導体チップ12の裏面側に被せた配線板16によって接続され、蓋17が被せられてなっている。なお、半導体チップ12の裏面は、パッケージ11の半導体チップ12搭載面に設けられた導体を介してリード端子13の中の接地端子に接続されている。

配線板16は、例えば透明なサファイア板でなる絶縁基板18に、その裏面で端子14と15とを接続する伝送路19が形成されてなっており、第3図～第7図に伝送路19の構成を異にする配線板16の実施例を示すが、伝送路19と端子14、15とは例えば半田によって接続する。また、絶縁基板18裏面の前

述した半導体チップ12の合わせマークに対応した位置に、例えば+印である該合わせマークと同様な合わせマーク18aが付してあり、配線板16を半導体チップ12に接せて前記接続を行う際の位置合わせが出来るようになっていいる。

第3図図示の配線板16における伝送路19は、絶縁基板18の裏面に例えば金、銀、銅などの金属導体で形成し端子14と15とを接続する接続線19aのみで構成した例で、平坦な接続部19aaを端子14に、突起状になっている接続部19abを端子15に接続する。この構成の場合、接続線19aの幅、接続部19aa、19ab間の通路位置、接続部19abの突起高さ（複数の接続部19ab相互間で同一にする必要があるが）および絶縁基板18の厚さなどを設計で規定することが可能である。

第4図図示の配線板16における伝送路19は、第3図図示のような接続線19aに接続線19aと同様な金属導体で同一面上（合わせマーク18a部を除く）に形成した接地導体19bを加えてコプレーナガイドを形成し、電磁界を閉じ込めて信号の輻射

による減衰の防止を可能にした例で、接地導体19bの接続部19bbは接続部19abと同様な突起状にし、半導体チップ12の底面からスルーホールを介して表面に導出させた接地用の端子（端子15の一部）に接続して、接地導体19bを接地する。この構成の場合、第3図で説明した要因を含めてコプレーナガイドとしての設計が可能である。

第5図図示の配線板16における伝送路19は、第4図図示の接地導体19bを絶縁基板18の表面（合わせマーク18a部を除く）に形成した接地導体19cに替えて、コプレーナガイドと同様に機能するストリップラインを形成した例で、接地導体19cの接続部cbは絶縁基板18の表面から裏面に導出させて該裏面上では接続部bbと同様にしている。

第6図図示の配線板16における伝送路19は、第4図図示のようなコプレーナガイドの接続線19aと接地導体19bの間に膜状の抵抗素子19dを付加接続した例で、信号の反射波による減衰を防ぐためのインピーダンスマッチが容易になっている。

第7図図示の配線板16における伝送路19は、第

4図図示のようなコプレーナガイドの接続線19aの中間などを絶縁基板18の裏面から表面に導出させ、例えば波形整形回路素子や増幅回路素子などの回路素子を付加接続した例で、積極的な性能向上が可能になっている。

これらの実施例から明らかなように、本発明による配線板16を導入することにより、端子14と15との接続部に起因する信号の輻射や伝送減衰について設計での対処が困難であったワイヤ接続から脱却して、該接続部に設計で規定可能な伝送路19を形成することが可能になり、然も、伝送路19の構成は上記の実施例に留まらず多くの応用変形が可能である。そして、少なくとも前記接続部に起因する信号の輻射や伝送減衰については、動作速度が100 G bit/sec以上になっても問題がないよう対処することが可能になる。

(d) 発明の効果

以上に説明したように、本発明による構成によれば、パッケージの端子と半導体チップの端子との接続において、該接続部に起因する信号の輻射

や伝送減衰について設計で対処可能な接続構造を備えた超高速半導体集積回路装置を提供することが出来て、超高速半導体集積回路装置の動作速度向上を可能にさせる効果がある。

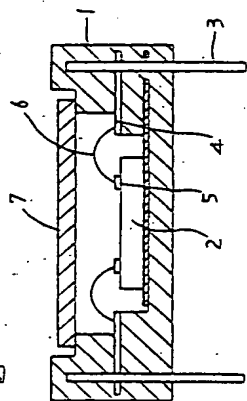
4. 図面の簡単な説明

第1図は従来の超高速半導体集積回路装置の一実施例の構造を示す断面図、第2図は本発明の構成による超高速半導体集積回路装置の一実施例の構造を示す断面図、第3図～第7図はその配線板におけるそれぞれ異なった実施例の断面図(a)と裏面視平面図(b)である。

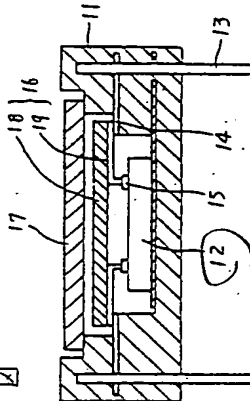
図面において、1、11はパッケージ、2、12は半導体チップ、3、13はリード端子、4、5、14、15は端子、6はワイヤ、16は配線板、7、17は金、18は絶縁基板、18aは合わせマーク、19は伝送路、19aは接続線、19b、19cは接地導体、19dは抵抗素子、19eは回路素子、19aa、19ab、19bb、19cbは接続部をそれぞれ示す。



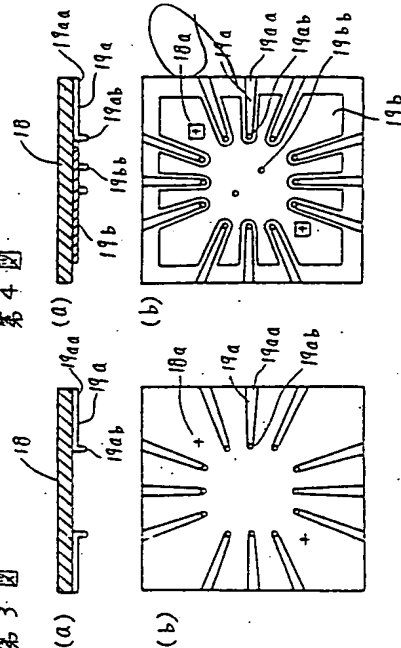
第1図



第2図

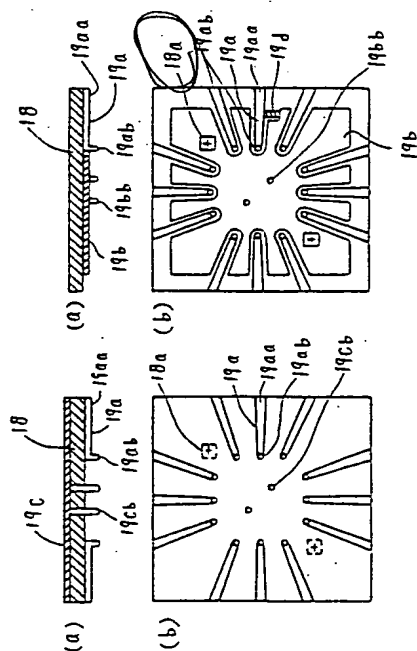


第3図



第4図

第5図



第6図

